

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-309446

(43)Date of publication of application : 13.12.1989

(51)Int.Cl.

H04L 25/02

G01R 31/28

H04L 1/24

(21)Application number : 63-138378

(71)Applicant : YAMATAKE HONEYWELL CO  
LTD

(22)Date of filing : 07.06.1988

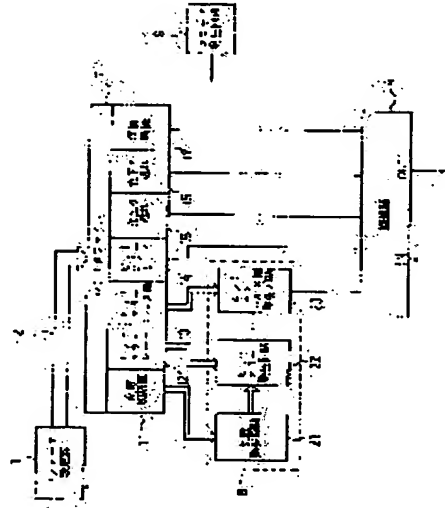
(72)Inventor : KOBAYASHI KOJI  
KATSUMATA ATSUSHI

## (54) LINE SIMULATOR

### (57)Abstract:

PURPOSE: To conduct a communication test to various waveform distortion by setting a leading delay time and a trailing time with a parameter setting means and using a line section so as to vary the duty ratio of an input signal.

CONSTITUTION: Leading, trailing delay setting registers 15, 16 are registers setting individually a delay in the leading and trailing time caused in an actual communication line. The line section 4 processes the signal inputted thereto according to a parameter given from a simulator main body 3 and gives an output. Thus, the setting and revision of the leading and trailing delay time causing a waveform distortion to a transmission signal are attained and the waveform distortion caused on the actual communication line is set or revised programmably, then the communication test in various noise environmental states is attained without actual installation of the line.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 1 - 3 0 9 4 4 6

(43) 公開日 平成1年(1989)12月13日

(51) Int. Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 25/02	3 0 2 C			
G 0 1 R 31/28	Q			
H 0 4 L 1/24				
			H 0 4 L 25/02 3 0 2 C	
			G 0 1 R 31/28 Q	
審査請求 有			(全 9 頁)	最終頁に続く

(21) 出願番号 特願昭63-138378

(22) 出願日 昭和63年(1988)6月7日

(71) 出願人 000000666

株式会社山武

東京都渋谷区渋谷2丁目12番19号

(72) 発明者 小林 孝次

神奈川県伊勢原市鈴川54番地 山武ハネウ

エル株式会社伊勢原工場内

(72) 発明者 勝亦 敦

神奈川県藤沢市川名1丁目12番2号 山武ハ

ネウエル株式会社藤沢工場内

(74) 代理人 堀 進 (外1名)

(54) 【発明の名称】 回線シミュレータ

(57) 【要約】 本公報は電子出願前の出願データであるため要約のデータは記録されません。

**【特許請求の範囲】**

通信回線で生じ得る波形歪を発生するための立上り遅れ時間と立下り遅れ時間を可変設定するパラメータ設定手段と、

該パラメータ設定手段で設定された立上り遅れ時間と立下り遅れ時間に応じて、外部から入力された信号のデューティ比を変えて出力する回線部とを備えたことを特徴とする回線シミュレータ。

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

## ⑫ 公開特許公報(A) 平1-309446

⑬ Int. Cl. <sup>4</sup>	識別記号	庁内整理番号	⑭ 公開 平成1年(1989)12月13日
H 04 L 25/02	3 0 2	C-7345-5K	
G 01 R 31/28		Q-6912-2G	
H 04 L 1/24	3 0 2	8732-5K	
25/02		D-7345-5K	審査請求 未請求 請求項の数 1 (全9頁)

⑯ 発明の名称 回線シミュレータ

⑰ 特 願 昭63-138378

⑱ 出 願 昭63(1988)6月7日

⑲ 発 明 者 小 林 孝 次 神奈川県伊勢原市鈴川54番地 山武ハネウエル株式会社伊勢原工場内

⑲ 発 明 者 勝 亦 敦 神奈川県藤沢市川名1丁目12番2号 山武ハネウエル株式会社藤沢工場内

⑲ 出 願 人 山武ハネウエル株式会 東京都渋谷区渋谷2丁目12番19号  
社

⑲ 代 理 人 弁理士 堀 進 外1名

## 明 細 書

1 発明の名称 回線シミュレータ

2 特許請求の範囲

通信回線で生じ得る波形歪を発生するための立上り遅れ時間と立下り遅れ時間を可変設定するパラメータ設定手段と、

該パラメータ設定手段で設定された立上り遅れ時間と立下り遅れ時間に応じて、外部から入力された信号のデューティ比を変えて出力する回線部とを備えたことを特徴とする回線シミュレータ。

3 発明の詳細な説明

〔産業上の利用分野〕

本発明は、通信機器の性能試験等のために通信路に生じ得るノイズ現象を模倣的に発生させる回線シミュレータに関する。

〔従来の技術〕

近年、デジタル通信技術の発達に伴ない、種々の通信手順を内蔵したLSIの開発が盛んに行われているが、通信用に開発されたLSIをテストし評価するには、実際の通信路において起こり

得る現象を取り入れる必要がある。特に実際の通信路にはノイズがつきものであり、ノイズによるエラーが伝送信号に発生する。それ故、通信用LSIは、通信路に生じ得るノイズを考慮して設計されなければならない。そこで、通信用LSIを試作した時にテストするため、一定のノイズを与えてそれに対するエラーレート(発生率)を測定する装置が知られている。

〔発明が解決しようとする課題〕

しかしながら、従来のエラーレート測定装置では、通信用LSIに与えるノイズは静電ノイズ発生器で発生するアナログノイズであり、そのパターンは一定のものに固定されているため、実際に生じ得るノイズやその他の現象を反映しているものでなく、種々のノイズに対するエラーレートの測定はできないという問題点があった。

本発明の目的は、通信用LSI等の開発に際し通信回線において実際に生じ得るノイズ現象を模倣的に発生させることができ、特に伝送信号に波形歪を生じさせる立上り遅れ時間と立下り遅れ時

## 特開平 1-309446(2)

間の設定及び変更ができる回線シミュレータを提供することである。

## 【課題を解決するための手段】

本発明は、実際の通信回線をシミュレートする回線シミュレータであって、通信回線で生じ得る波形歪を発生するための立上り遅れ時間と立下り遅れ時間を可変設定するパラメータ設定手段と、該パラメータ設定手段で設定された立上り遅れ時間と立下り遅れ時間に応じて、外部から入力された信号のデューティ比を変えて出力する回線部とを備えて構成される。

## 【作用】

本発明の回線シミュレータにおいては、パラメータ設定手段で立上り遅れ時間と立下り遅れ時間を設定する。回線部では、パラメータ設定手段から設定された立上り遅れ時間と立下り遅れ時間に応じて入力信号のデューティ比を変える。これにより、プログラマブルに設定された波形歪をもつ信号が回線部から出力され、種々の波形歪に対する通信テストをすることができる。また、立上り

遅れと立下り遅れを短時間のうちに変えていくことにより、ジッタ（波形のゆらぎ）を生じさせることもできる。

## 【実施例】

第1図は本発明の一実施例を示し、第2図は実施例の回線シミュレータを接続した通信システムを示す。図の回線シミュレータは、パラメータ設定器1とシミュレータ本体3と回線部4とから成る。

パラメータ設定器1は、通信回線で生じ得るノイズを発生するためのビットエラーレート等のパラメータをバス2を介してシミュレータ本体3に入力するものであり、このパラメータ設定器としてはマイクロコンピュータが使用できる。

シミュレータ本体3は、パラメータ設定器1で設定されたパラメータを保持すると共に、後述の回路で発生した乱数を上記パラメータに従って選択してビットエラー信号を発生するものであり、第1図に示す各種のレジスタから成るレジスタファイル7と、ビットエラー信号を発生する信号発

3

生部8と、各回線部の動作に必要なクロック信号を供給するクロック発生回路9とを含む。

第2図の通信システムでは、本発明の回線シミュレータで複数（この場合3本）の回線のシミュレーションを行うため、シミュレータ本体3に複数の回線部4A、4B、4Cを接続している。各回線部は、複数の通信装置5A、5B、5Cをループ状に接続した伝送路6A、6B、6Cに接続される。使用時には、シミュレータ本体3で発生したビットエラー信号を回線部4A、4B、4Cに送り、各回線部で各伝送路6A、6B、6Cから入力された信号にノイズを加える処理を施して出力する。従って、各通信装置5A、5B、5Cの出力をチェックすることにより、耐ノイズ性等のテストをすることができる。

以下、第1図に示した回線シミュレータの構成と作用を説明する。

まず、レジスタファイル7は、パラメータ設定器1で設定されたパラメータを保持する保持手段として機能するもので、乱数初期値設定レジスタ

4

11、ビットエラーレート設定レジスタ12、ビットエラーパルス幅設定レジスタ13、ビットエラーモード設定レジスタ14、立上り遅れ設定レジスタ15、立下り遅れ設定レジスタ16、及び回線断続レジスタ17を含んでいる。

乱数初期値設定レジスタ11は、後述の疑似乱数発生回路21の初期値を設定するためのレジスタである。このレジスタに初期値を書き込むことにより、疑似乱数発生回路21に直接プリセットを行う。また、このレジスタで一定の初期値を設定すると、疑似乱数発生回路21から同じビットエラーパターンを生成できるので、再テストをする場合等に有効である。

ビットエラーレート設定レジスタ12は、ビットエラーレートを設定するためのレジスタで、1回線当たり約 $10^{-3}$ ～ $10^{-8}$ 回/bitのエラーを設定できる。各回線は、同じビットエラーレートでビットエラーを発生する。また、このレジスタにより各回線毎にビットエラー発生又は非発生を設定することができる。

5

6

## 特開平 1-309446(3)

ビットエラーパルス幅設定レジスタ13は、後述のビットエラー発生時にそのパルス幅を設定するレジスタである。設定範囲は0~FFFFであり、その設定値nにより $n \sim (n+1) \mu\text{sec}$ のパルス幅が発生する。

ビットエラーモード設定レジスタ14は、後述のように、通信路から回線部4に入力された信号にノイズとして付加するビットエラーの種類

(Normal、High、Low又は反転)を設定するためのレジスタである。これを"Normal"に設定した場合は、後述のビットエラー発生時でも、回線部4に入力された信号は変化しない。しかし、"High"に設定した場合は、ビットエラー発生時に入力信号がHレベルに変化して回線部4から出力され、"Low"に設定した場合は、ビットエラー発生時に入力信号がLレベルに変化して出力される。また、反転モードにした場合は、ビットエラー発生時に入力信号が反転して出力される。このビットエラーモード設定レジスタ14は、複数の回線に対して別々に設定できる。

7

$$X^{32} + X^{28} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} \\ + X^8 + X^7 + X^5 + X^4 + X^2 + X^1 + 1$$

すなわち、順次接続したDフリップフロップD<sub>1</sub>~D<sub>32</sub>の間にExclusive OR回路E<sub>1</sub>~E<sub>13</sub>を介在させ、各フリップフロップD<sub>32</sub>~D<sub>1</sub>の出力X<sup>32</sup>~X<sup>1</sup>を変化させることにより、疑似乱数発生回路それ自体は公知である。

この疑似乱数発生回路21に供給されるクロック周波数の範囲は1MHz~31.25KHzで、通常は通信速度(ボーレート)に合わせる。しかし、通信速度と異なる値に設定することにより、ビットエラーレートを大きく変えることもできる。例えば1MHzのクロックで動作させた場合の周期は、約1.2時間である。

この疑似乱数発生回路21では、発生する乱数の初期値を設定するため、各DフリップフロップD<sub>1</sub>~D<sub>32</sub>はセット端子を有し、その端子に前述の乱数初期値設定レジスタ11の出力信号を入力することで、Dフリップフロップをセット状態に

立上り、立下り遅れ設定レジスタ15、16は、実際の通信路で生ずる立上り時間の遅れ及び立下り時間の遅れを個別に設定するレジスタである。クロック発生回路9で発生するクロック周波数をボーレートの18倍に設定した場合、1/18データビット時間単位の遅れを設定できる。これらのレジスタによる遅れ時間の設定も、複数の回線に対して別々にできる。

回線断続レジスタ17は、回線別に伝送路を断続するためのレジスタであり、回線部4からの出力を高インピーダンスにすることができる。

次に、信号発生部8は、実際の通信回線に生じ得る現象のシミュレーションを行うためのエラー信号を発生する部分であり、疑似乱数発生回路21、ビットエラー発生回路22及びビットエラーパルス幅発生回路23から成る。

疑似乱数発生回路21は、第3図に示すように、32個のDフリップフロップD<sub>1</sub>~D<sub>32</sub>と、13個のExclusive OR回路E<sub>1</sub>~E<sub>13</sub>とから成り、次式に従って疑似乱数を生成する。

8

する。すなわち、乱数初期値設定レジスタ11に初期値を書き込むことにより、そのレジスタ出力がDフリップフロップD<sub>1</sub>~D<sub>32</sub>のセット端子に加えられ、疑似乱数発生回路21の初期値をプリセットすることができる。

次に、ビットエラー発生回路22は、第4図に示すように、前記ビットエラーレート設定レジスタ12からのビットエラー信号をデコードするデコード31と、このデコード31からの信号により、疑似乱数発生回路21で生成した疑似乱数のうち使用する信号のみを出力するデータセレクト32と、このデータセレクト32から出力される信号が全てHのときにビットエラー発生信号を出力するAND回路33とから成る。結果として、データセレクト32で選択された乱数信号の数をnとすると、1/2<sup>n</sup>の確率でビットエラー発生信号が出力される。

また、ビットエラーパルス幅発生回路23は、第5図に示すようにタイマ34とRSフリップフロップ35とから成る。動作時には、第6図に示

9

10

## 特開平 1-309446(4)

すように、上記ビットエラー発生回路 22 からの出力（ビットエラー発生信号）をスタート信号としてタイマ 34 を始動させると共に、RS フリップフロップ 35 をセットし、ビットエラーパルスが発生する。タイマ 34 は、前述のビットエラーパルス幅設定レジスタ 13 で設定されたパルス幅をカウントした後、RS フリップフロップ 35 をリセットする。これにより、設定されたパルス幅のビットエラーが得られる。そのパルス幅は設定値  $n$  に対し  $n \sim (n+1) \mu\text{sec}$  となる。ビットエラーパルスが終了しないうちに次の信号が来た時には、その時点から更に設定値だけパルス幅を伸ばす。

このビットエラーパルス幅発生回路 23 は、第 2 図のように複数の回線部 4A、4B、4C を接続した場合には、各回線部にそれぞれ異なるパルス幅のノイズを発生させるように回線部の個数分設けられる。

クロック発生回路 9 は、一定周波数（例えば 18 MHz）の水晶共振モジュールからの出力信号を分

11

を始動させる。各タイマ 43、44 は、それぞれレジスタファイル 7 の立上り、立下り遅れ設定レジスタ 15、16 から送られる信号（立上り、立下り遅れ値）で決められた遅れ時間後に出力を変化させる。RS フリップフロップ 46 は、立上り遅れタイマ 43 の出力変化でセットされ、立下り遅れタイマ 44 の出力変化でリセットされる。これにより、第 8 図に示すように、予め設定された立上り、立下り遅れをもつ信号が出力される。

このように、検出回路 42、45 とタイマ 43 及び 44 と RS フリップフロップ 46 とは、送信路から入力される信号の立上り時間及び立下り時間を、それぞれ 1 データビット時間未満の範囲（次の信号変化の直前まで）で遅らせることができる波形状変換回路を構成している。設定値を  $n$ 、この回路に用いるクロックの周期を  $T$  とすると、遅延時間は  $nT \sim (n+1)T$  である。

タイマ 43 及び 44 に供給するクロック信号としては、通常はボーレートの 18 倍の周波数を用いるが、これより周波数の小さいクロックを用いて

13

同し、上述の各回路に必要なクロック信号を発生するものである。

次に、回線部 4 は、これに人力された信号をシミュレータ本体 3 から与えられたパラメータ通りに加工して出力する部分であり、回線断続もここで行う。また、プロトコルアナライザ等の外部装置を接続して、モニタ又はシミュレーションをすることも可能である。

詳細には第 7 図に示すように、回線部 4 は、伝送路から入力される信号をレベル変換するレシーバ 41 と、入力信号の立上りを検出する立上り検出回路 42 と、タイマ 43 及び 44 と、入力信号の立下りを検出する立下り検出回路 45 と、RS フリップフロップ 46 と、ノイズ付加回路 47 と、その出力信号をレベル変換して伝送路に出力するドライバ 48 とを備えている。各検出回路 42、45 は D フリップフロップで、各タイマ 43、44 はダウンカウンタでそれぞれ構成される。

動作時には、検出回路 42、45 が入力信号の立上り、立下りを検出すると、タイマ 43、44

12

長い遅延を生じさせることもできる。この場合、立上り遅延時間は次の立上りの直前まで、立下り遅延時間は次の立下りの直前までとなる。

上記波形状変換回路は、立上り／立下りの遅延時間をそれぞれ個別に設定することにより、入力信号のデューティ比を変えることができる。また、各遅れ値を変化させることにより、ジッタ（波形のゆらぎ）を生じさせることもできる。

次に、回線部 4 のノイズ出力回路 47 は、RS フリップフロップ 46 から出力された信号に、前述のビットエラーモード設定レジスタ 14 からの出力で指定されたエラーモード（Normal、High、Low 又は反転）のノイズを付加するものであり、ビットエラーが発生していない時（ビットエラーパルスが L の時）には、エラーモードに関係なく入力信号をそのまま出力するが、ビットエラーが発生している時（ビットエラーパルスが H の時）は、エラーモードに従って入力信号を変化させて出力する。

すなわち、エラーモードが Low 固定の場合には

14

## 特開平 1-309446(5)

ビットエラーが発生している間、出力は入力に関係なく Low になり、エラーモードが High 固定の場合には、ビットエラーが発生している間、出力は入力に関係なく High になる。エラーモードが反転の場合も同様に、ビットエラーが発生している間出力は入力の反転となる。エラーモードが Normal の場合には、ビットエラーが発生していても、入力信号がそのまま出力される（ノイズは付加されない）。

上記ノイズ付加回路 47 からの出力信号は、ドライバ 48 でレベル変換されて伝送路に出力されるが、ドライバ 48 は、前述の回線断線レジスタ 17 からの回線断線信号で閉じられる。すなわち、回線断線レジスタ 17 が回線断線信号を出力した時は、ドライバ 48 の出力側が高インピーダンスとなり、伝送路を実質的に切断状態とすることができる。

かくして、実施例の回線シミュレータは、乱数をベースとして予め設定したビットエラーを生じさせ、これに対する通信装置の反応等のテストを

可能にするものである。また、通信回線で生じ得る波形歪をシミュレートすることや回線切断も可能であり、通信装置の性能を総合的にテストすることができる。

以上、本発明を実施例によって説明したが、本発明はこれに限らず、回線シミュレータの各回路部は、上記の機能を有するものであれば任意の回路で構成することができる。

## 〔発明の効果〕

以上のように、本発明は、伝送信号に波形歪を生じさせる立上りと立下りの遅れ時間の設定及び変更ができるようにしたので、実際の通信回線上で生じ得る波形歪をプログラマブルに設定したり変更したりすることができ、実際に回線を設置しなくても、種々のノイズ環境における通信テストを可能にするという効果を奏する。

## 4 図面の簡単な説明

第 1 図は本発明の実施例を示すブロック図、

第 2 図は本発明の回線シミュレータを接続した通信システムの例を示すブロック図、

15

16

第 3 図は疑似乱数発生回路の説明図、

第 4 図はビットエラー発生回路の構成図、

第 5 図はビットエラーパルス幅発生回路の構成図、

第 6 図はビットエラーパルス幅発生回路に入力される信号とその出力信号を示す波形図、

第 7 図は回線部の構成図、

第 8 図は回線部の波形変換回路に入力される信号とその出力信号を示す波形図である。

1 ----パラメータ設定器、

2 ----バス、

3 ----シミュレータ本体、

4 ----回線部、

5 A、5 B、5 C ----通信装置、

6 A、6 B、6 C ----伝送路、

7 ----レジスタファイル、

8 ----信号発生部、

9 ----クロック発生回路。

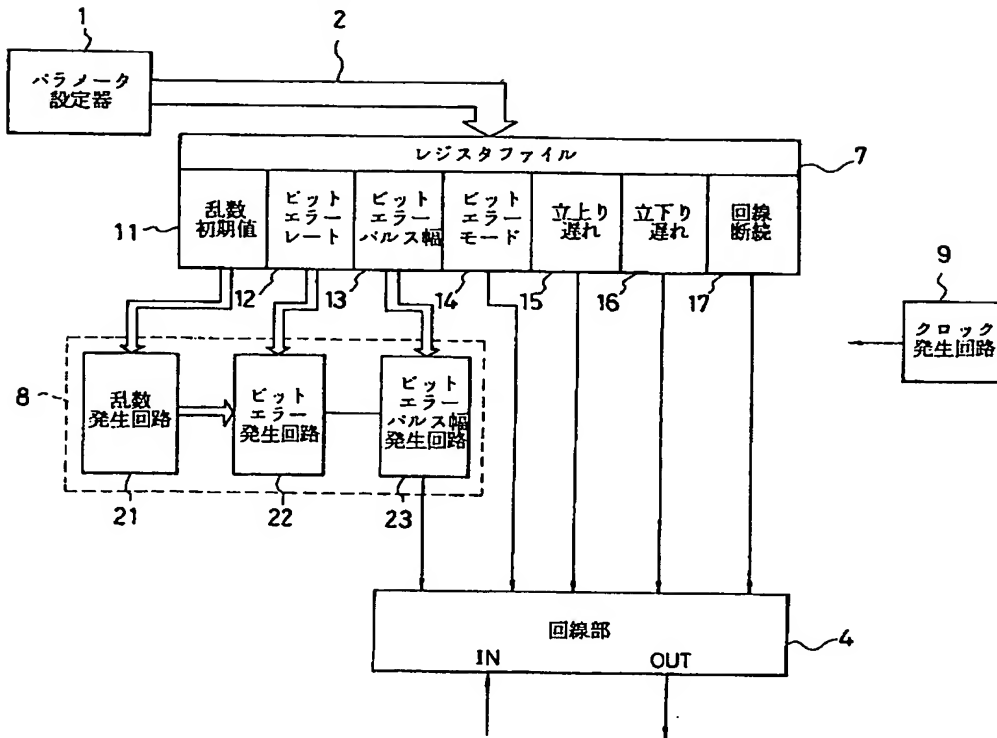
特許出願人 山武ハネウエル株式会社

代理人 弁理士 堀 進  
(ほか 1 名)

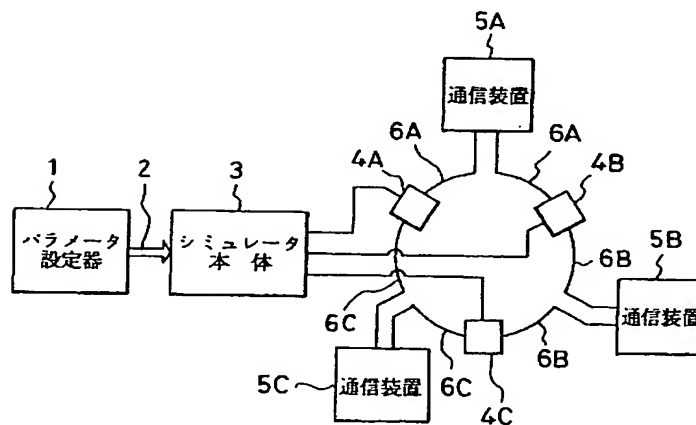
17

特開平 1-309446(6)

第 1 図

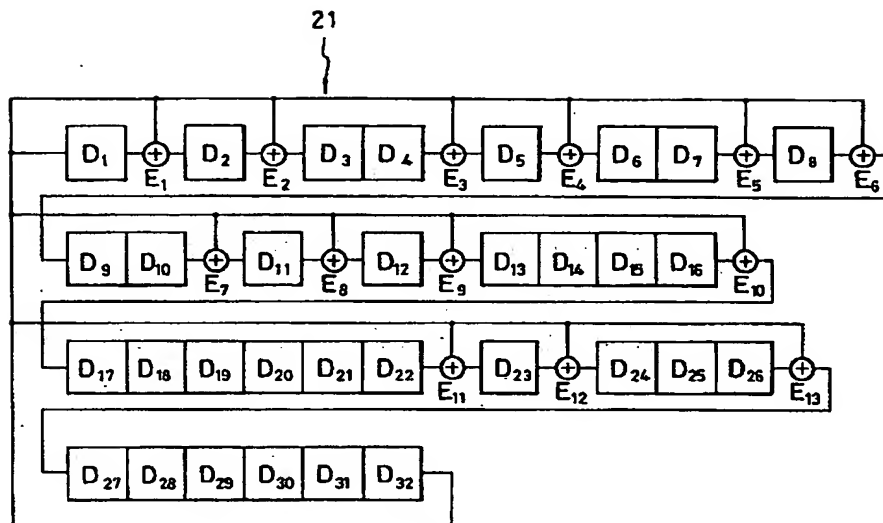


第 2 図

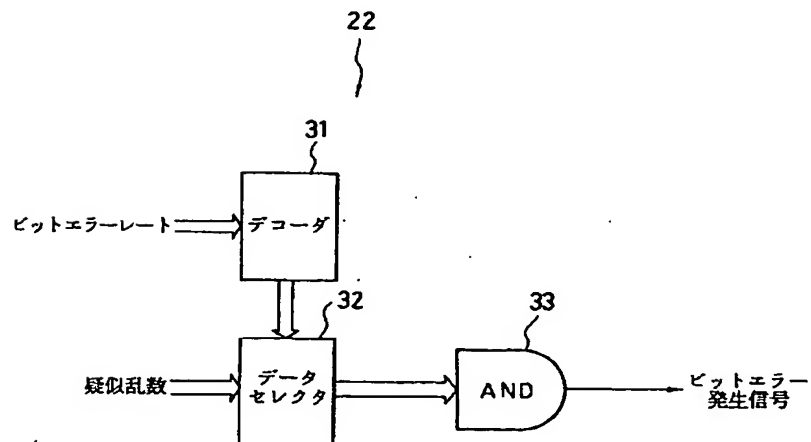


特開平 1-309446(7)

第 3 図  
疑似乱数発生回路



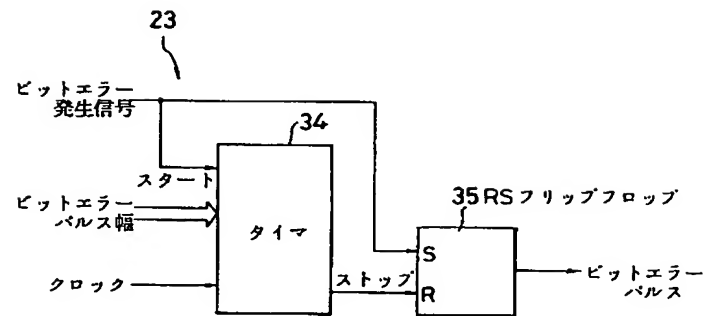
第 4 図  
ビットエラー発生回路



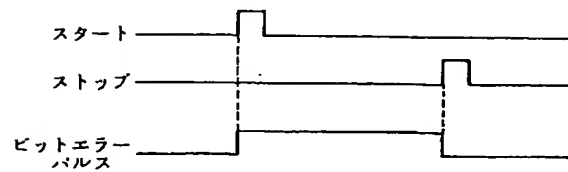
特開平 1-309446(8)

## 第 5 図

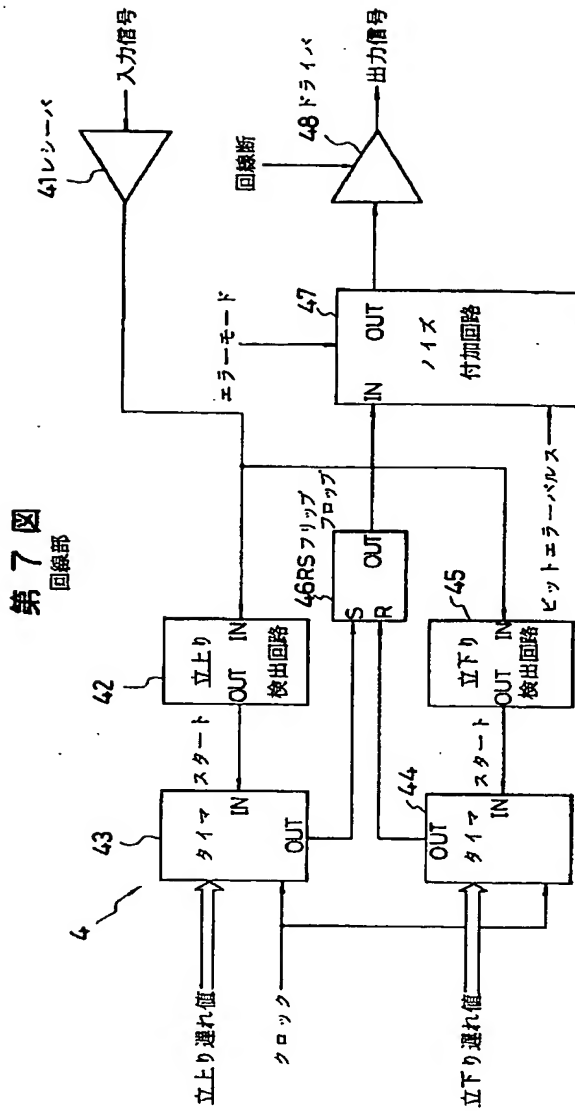
ビットエラーパルス幅発生回路



## 第 6 図



特開平 1 - 309446(9)



第 8 図

